

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-543623

(P2002-543623A)

(43) 公表日 平成14年12月17日 (2002. 12. 17)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	テームコード (参考)	
H01L 29/78		H01L 21/28	301R	4M104
21/28	301	29/78	301G	5F048
21/336		27/08	321D	5F140
21/8238			321E	
27/092		29/78	301P	
審査請求 未請求 予備審査請求 有 (全 46 頁) 最終頁に続く				

(21) 出願番号 特願2000-616072(P2000-616072)  
 (86) (22) 出願日 平成12年2月29日 (2000. 2. 29)  
 (85) 翻訳文提出日 平成13年11月2日 (2001. 11. 2)  
 (86) 国際出願番号 PCT/US00/05157  
 (87) 国際公開番号 WO00/67322  
 (87) 国際公開日 平成12年11月9日 (2000. 11. 9)  
 (31) 優先権主張番号 09/303, 693  
 (32) 優先日 平成11年5月3日 (1999. 5. 3)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド  
 ADVANCED MICRO DEVICES INCORPORATED  
 アメリカ合衆国、94088-3453 カリフォルニア州、サンニベイ、ビー・オー・ボックス・3453、ワン・エイ・エム・ディ・ブレイス、メイル・ストップ・68 (番地なし)

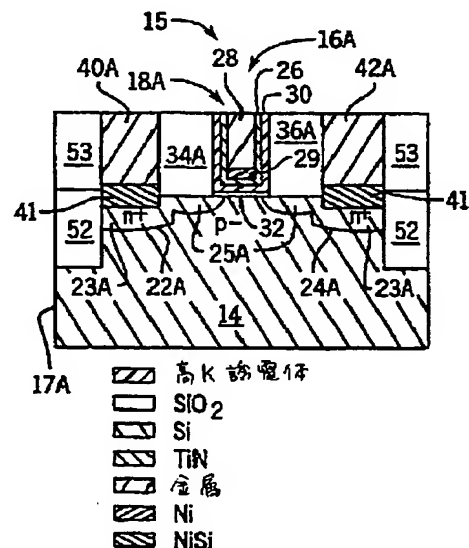
(74) 代理人 弁理士 深見 久郎 (外5名)

最終頁に続く

(54) 【発明の名称】 ダマシコンタクトおよびゲートプロセスで作製された自己整列ソースおよびドレイン延在部

(57) 【要約】

浅いソースおよびドレイン延在部を有するトランジスタを作製する方法は、自己整列コンタクトを用いる。コンタクト区域とゲート構造との間の開口を通してドレイン延在部が設けられる。高kゲート誘電材料を用いることができる。開示された方法に従ってP-MOSおよびN-MOSトランジスタを作ることができる。



**【特許請求の範囲】**

**【請求項1】** 集積回路を作製するためのプロセスであって、

(a) 基板上にマスキングパターンを形成するステップを含み、マスキングパターンは、ゲート領域と第1のコンタクト領域との間の第1の間隔およびゲート領域と第2のコンタクト領域との間の第2の間隔を有し、さらに

(b) 第1の間隔の下に浅いソース領域および第2の間隔の下に浅いドレイン領域を形成するステップと、

(c) 第1の間隔および第2の間隔に絶縁材料を堆積するステップと、

(d) ポリシリコンパターンを除去するステップと、

(e) ゲート領域の上にフォトリジストを設けるステップと、

(f) 深いソース領域および深いドレイン領域を形成するステップと、

(g) フォトリジストを除去するステップと、

(h) ゲート領域の上にゲート誘電体およびゲート導体を堆積するステップとを含む、プロセス。

**【請求項2】** ゲート誘電体は高kゲート誘電体であり、高速熱アニールのステップはゲート誘電体堆積ステップの前に行なわれて深いソースおよび深いドレイン領域のドーパントを活性化する、請求項1に記載のプロセス。

**【請求項3】** ステップ(h)は、

第1および第2の間隔の領域の上にゲート誘電体およびゲート導体を堆積するステップと、

第1の間隔および第2の間隔の領域からゲート誘電体およびゲート導体を除去するステップとを含む、請求項1に記載のプロセス。

**【請求項4】** 第1の間隔および第2の間隔の上にゲート導体の少なくとも一部としてニッケル材料を堆積するステップをさらに含む、請求項3に記載のプロセス。

**【請求項5】** ゲート誘電体は高kゲート誘電層である、請求項1に記載のプロセス。

**【請求項6】** ニッケル材料は、第1の間隔および第2の間隔の中の絶縁材料に到達するまで化学機械プロセスによって除去される、請求項5に記載のプロ

セス。

【請求項7】 ゲート誘電体は $\text{Ta}_2\text{O}_5$ である、請求項1に記載のプロセス

。

【請求項8】 第1の絶縁構造の下に浅いソース領域および第2の絶縁構造の下に浅いドレイン領域を含む基板上に集積回路を作製する方法であって、基板の第1の導電構造は第1の絶縁構造によって第2の導電構造から分離され、基板の第3の導電構造は第2の絶縁構造によって第2の導電構造から分離され、第2の導電構造はゲート場所にあり、この方法は、

第1の導電構造および第3の導電構造を除去して第1および第3の基板領域を露出するステップと、

基板をドーピングして第1および第3の基板領域内に深いソース領域および深いドレイン領域を形成するステップと、

第2の導電構造を除去して第2の基板領域を露出するステップと、

ゲート場所に対応する第2の基板領域の上にゲート導体を設けるステップとを含む、方法。

【請求項9】 ゲート導体は第1および第3の基板領域の上にも設けられる、請求項8に記載の方法。

【請求項10】 第1および第3の基板領域の上からゲート導体を選択的に除去するステップをさらに含む、請求項9に記載の方法。

【請求項11】 金属材料を堆積して第1の基板領域の上の第1の窪みおよび第3の基板領域の上の第2の窪みを充填するステップをさらに含む、請求項10に記載の方法。

【請求項12】 導電マスキングはゲート導体の上にも施される、請求項11に記載の方法。

【請求項13】  $\text{Ta}_2\text{O}_5$ のゲート誘電体はゲート導体の前に堆積される、請求項8に記載の方法。

【請求項14】 第1および第3の導電構造はポリシリコンを含み、絶縁構造は二酸化ケイ素を含む、請求項8に記載の方法。

【請求項15】 ドーピングのステップの後および設けるステップの前に基板を

熱的にアニールするステップをさらに含む、請求項8に記載の方法。

【請求項16】 基板上に集積回路を作製するダマシン法であって、基板の第1の導電構造は第1の空間によって第2の導電構造から分離され、基板の第3の導電構造は第2の空間によって第2の導電構造から分離され、第2の導電構造はゲート場所にあり、この方法は、

第1の空間の下に浅いソース領域および第2の空間の下に浅いドレイン領域を形成するステップと、

第1の空間および第2の空間に絶縁材料を堆積するステップと、

第1の導電構造および第3の導電構造を除去するステップと、

除去ステップによって露出された基板の領域に深いソース領域および深いドレイン領域を形成するステップと、

第2の導電構造を除去するステップと、

ゲート場所の上にゲート導体を堆積するステップとを含む、方法。

【請求項17】 ゲート誘電体はゲート導体の前に堆積される、請求項16に記載のプロセス。

【請求項18】 ゲート導体は金属である、請求項17に記載のプロセス。

【請求項19】 浅いソース領域は70ナノメートル未満の深さである、請求項16に記載のプロセス。

【請求項20】 第1の空間は最小リソグラフィ特徴である、請求項16に記載のプロセス。

**【発明の詳細な説明】****【0001】****【技術分野】**

この発明は、集積回路（IC）および集積回路を製造する方法に関する。より特定のには、この発明は、極浅または浅いソース／ドレイン延在部を備えるトランジスタを有する集積回路を製造する方法に関する。

**【0002】****【背景技術】**

超大規模集積（ULSI）回路などの集積回路（IC）は、100万個以上ものトランジスタを含み得る。ULSI回路は、相補型金属酸化物半導体（CMOS）電界効果トランジスタ（FET）を含み得る。トランジスタは、ドレインおよびソース領域間に配置された半導体ゲートを含み得る。ドレインおよびソース領域は典型的に、P型ドーパント（ボロン）またはN型ドーパント（リン）で濃くドーピングされる。

**【0003】**

ドレインおよびソース領域は一般的に、部分的にゲート下に配置される薄いまたは浅い延在部を含んでトランジスタの性能を高める。浅いソースおよびドレイン延在部は、NチャネルおよびPチャネルトランジスタの両者に対して、トランジスタの性能を劣化させる短チャネル効果に対する耐性を達成するのに助ける。短チャネル効果は主流CMOS技術に関して最も重要なスケールアップの問題に含まれ、しきい値電圧のロールオフおよびドレイン誘導バリアの低下を引き起こし得る。浅いソースおよびドレイン延在部ならびにしたがって短チャネル効果を制御することは、トランジスタがより小型になるに従って特に重要である。

**【0004】**

従来の技術は二重打込みプロセスを用いて浅いソースおよびドレイン延在部を形成する。従来のプロセスに従うと、ソースおよびドレイン延在部は、シリコン基板の表面上に側壁スペーサを有しないトランジスタゲート構造を設けることによって形成される。シリコン基板は、拡散プロセスまたはイオン注入プロセスなどの従来のドーピングプロセスを介してゲート構造の両側上でドーピングされる。側

壁スペーサがなくても、ドーピングプロセスは薄い領域（すなわち基板の上面のすぐ下）にドーパントを導き、ドレインおよびソース延在部を形成するとともにドレインおよびソース領域を部分的に形成する。

#### 【0005】

ドレインおよびソース延在部を形成した後、ソースおよびドレイン延在部に、ゲート構造の横方向の側に当接する二酸化ケイ素スペーサが設けられる。基板に2度目のドーピングがされて、より深いソースおよびドレイン領域を形成する。二酸化ケイ素スペーサのブロッキング能力により、ソースおよびドレイン延在部がさらにドーパされることはない。

#### 【0006】

集積回路（IC）上に配置されたトランジスタが小型化するにつれ、浅いおよび極浅のソース／ドレイン延在部を備えるトランジスタは、製造がより困難になっている。たとえば、より小型のトランジスタは、（30ナノメートル（nm）未満の接合深さの）極浅のソースおよびドレイン延在部を有する。30nm未満の接合深さを備えるソースおよびドレイン延在部を形成することは、従来の作製技術を用いては非常に困難である。

#### 【0007】

従来のイオン注入および拡散ドーピング技術により、IC上のトランジスタは短チャネル効果を受けやすくなり、これは、基板に深く延びるドーパントプロファイルのテール分布を生じてしまう。また、従来のイオン注入技術は、浅いソースおよびドレイン延在部を維持することが困難である。なぜなら、イオン注入の間にバルク半導体基板に生成された点欠陥により、ドーパントがより容易に拡散する（過渡増速拡散、TED）可能性があるためである。拡散はしばしば、バルク半導体基板の中に垂直方向にソースおよびドレイン延在部を延ばしてしまう。

#### 【0008】

集積回路（IC）上に配置されたトランジスタが小型化するにつれ（たとえば、50nmに近似するゲート長を備えるトランジスタ）、CMOS作製プロセスは2次元チャネルドーピング技術を考えた。2次元ドーピング注入は、均一でない横方向のチャネルドーピングプロファイルと、非常に急勾配かつ逆行したチャ

ネルドーピングプロファイルである垂直方向のチャネルドーピングプロファイルを形成し得る。2次元チャネルドーピングプロファイルは、スケーリング（すなわち、高性能トランジスタの超小型寸法の比例動作および構造素子）に極めて重要である。

#### 【0009】

2次元チャネルドーピングプロファイルは、ソース全体およびドレイン全体を取囲む深ポケット注入によって従来は形成される。注入は、ソースおよびドレインの導電型とは反対の導電型を有し、ソースおよびドレインの境付近に「ハロー状」構造を形成する。ハロー状構造はソースおよびドレインの接合近くのドーピング濃度を上昇させる。ソースおよびドレインの接合近くの上昇したドーピング濃度は、ソース／ドレイン接合容量（たとえば寄生容量）を劣化させる（すなわち増加させる）。増加した寄生容量はトランジスタの速度を減じてしまう。

#### 【0010】

このように、浅い延在部および深ポケット注入を用いて短チャネル効果を軽減する。しかしながら、浅い延在部の形成は、トランジスタが小型化するにつれ困難であり、従来のプロセスに従って作製すると、ポケット注入はトランジスタの速度に好ましくない影響を与える可能性がある。

#### 【0011】

さらに、CMOSスケーリングに関連する別の大きな問題は、ゲート導体下に配置された従来のゲート誘電材料に関する。一般的に、トランジスタのサイズが小さくなるにつれ、二酸化ケイ素などの従来のゲート誘電材料は信頼性がより低くなる。たとえば、二酸化ケイ素は「直接トンネリング効果」が引き起こす高い漏れ電流を受けやすい。一般的に、チャネル長さが70ナノメートル（nm）以下に近づくにつれ、誘電係数（ $k$ ）の高い誘電材料が二酸化ケイ素誘電材料に置換わらなければならない。

#### 【0012】

高 $k$ （high- $k$ ）誘電材料は、それらの分子構造と関連する熱的不安定性のために、従来のCMOSプロセスで利用することはできない。（典型的に1050℃で10秒間の）ソース／ドレイン注入活性化アニールなどの高温処理が、高 $k$ 誘

電材料とシリコンとの間の反応を引き起こし得る。また、高k誘電材料は、高温処理に応答して相を（アモルファスから結晶へ）変化させ得る。たとえば、1つの高k誘電材料である五酸化タンタル（ $\text{Ta}_2\text{O}_5$ ）は、約800℃でアモルファス材料から結晶材料へ相を変化させる。結晶 $\text{Ta}_2\text{O}_5$ 材料は高い漏れ電流を有する。

#### 【0013】

CMOSスケーリングと関連するさらに別の問題は、ゲート構造とコンタクトとの間の間隔に関する。集積回路デバイスの層またはレベル間の電氣的接続をもたらすには、ICデバイス中にコンタクトが必要である。半導体デバイスは典型的に、コンタクトを介して特定の構造の中にも結合される多数のトランジスタを含む。

#### 【0014】

コンタクトは、集積回路上に配置されたトランジスタのソース領域および／またはドレイン領域に一般的に結合される。コンタクトはしばしば、シリサイド層を介してソースおよびドレイン領域に接続される。シリサイド層は一般的に高温プロセスで形成される。シリサイド層はドレイン／ソース直列抵抗を減じる。

#### 【0015】

従来のプロセスでは、コンタクトは、最小限の許容可能な距離（しばしば、少なくとも1つの最小リソグラフィ特徴）分だけゲート導体から間隔をあけなければならない。コンタクトはゲート構造から間隔をあけなければならないため、整列エラーが、短絡、激しいクロストークまたは、ソースコンタクトもしくはドレインコンタクトを備えるスタックゲートを生じる結果を招くことはない。高度な作製プロセスに従ってリソグラフィ特徴のサイズが減じられると、コンタクトとゲート構造との間の間隔はさらにより重要である。なぜなら僅かな整列エラーが短絡を引き起こす可能性があるからである。コンタクトとゲートとの間の間隔がトランジスタの全体サイズおよびしたがってICのサイズに寄与する。

#### 【0016】

このように、コンタクトとゲートとの間の整列不良を防止しかつコンタクトとゲートとの間の間隔を減じるようにするプロセスに対する必要性が存在する。さ



らに、従来の二重打込みプロセスを用いない、浅いソースおよびドレイン延在部を製造する方法に対する必要性が存在する。またさらに、高k誘電材料を利用可能な浅い接合ソースおよびドレイン延在部を有するトランジスタに対する必要性が存在する。

#### 【0017】

##### 【発明の開示】

この発明は集積回路を作製するためのプロセスに関する。プロセスは、基板上にポリシリコンパターンを形成するステップ、浅いソース領域および浅いドレイン領域を形成するステップ、浅いソース領域と関連する間隔および浅いドレイン領域と関連する間隔に材料を堆積するステップ、ポリシリコンパターンを除去するステップならびにゲート領域上にフォトレジストを設けるステップを含む。プロセスはさらに、深いソース領域および深いドレイン領域を形成するステップ、フォトレジストを除去するステップならびにゲート領域の上にゲート誘電体およびゲート導体を堆積するステップをさらに含む。

#### 【0018】

この発明は、第1の絶縁構造の下に浅いソース領域および第2の絶縁構造の下に浅いドレイン領域を含む基板上に集積回路を作製する方法にさらに関する。基板の第1の導電構造は、第1の絶縁構造により第2の導電構造から分離される。基板の第3の導電構造も、第2の絶縁構造により第2の導電構造から分離される。第2の導電構造はゲート場所にある。この方法は、第1の導電構造および第3の導電構造を除去するステップ、基板をドーピングして深いソース領域および深いドレイン領域を形成するステップ、第2の導電構造を除去するステップならびにゲート場所の上にゲート導体を設けるステップを含む。

#### 【0019】

この発明は、基板上に集積回路を作製するダマシン法にも関する。基板の第1の導電構造は、第1の空間により第2の導電構造から分離される。基板の第3の導電構造も、第2の空間により第2の導電構造から分離される。第2の導電構造はゲート場所にある。この方法は、第1の空間の下に浅いソース領域および第2の空間の下に浅いドレイン領域を形成するステップ、第1の空間および第2の空

間に絶縁材料を堆積するステップ、第1の導電構造および第3の導電構造をエッチングするステップ、深いソース領域および深いドレイン領域を形成するステップ、第2の導電構造をエッチングするステップならびにゲート場所の上にゲート導体を堆積するステップを含む。

#### 【0020】

この発明の例示的な実施例が添付の図面を参照して以下に説明され、ここで同じ参照番号は同じ要素を示す。

#### 【0021】

##### 【発明を実行するためのモード】

図1A-図13Bは、基板上にPチャネルおよびNチャネルトランジスタを形成するための、有利な相補型金属酸化物半導体(CMOS)作製ダマシンプロセスを図示する。図1A-図13Aは、Nチャネルトランジスタを含む集積回路の部分と関連するプロセスを示す。図1B-図13Bは、Pチャネルトランジスタを含む集積回路の部分に対するプロセスを示す。以下のように図1A-図13Bを参照して、有利なプロセスおよびトランジスタ構造が後述される。

#### 【0022】

図1Aおよび図1Bを参照して、集積回路15は、半導体基板14の部分17A上に配置されたNチャネルトランジスタ16A(図1A)および半導体基板14の部分17B上に配置されたPチャネルトランジスタ16B(図1B)を含む。部分17Aは好ましくは基板14のpウェルまたはp型領域(p-)内にある。これに代えて、基板14全体をp型ドーパント(p-)で薄くドーピングすることができる。部分17Bと関連する基板14はn型ドーパント(n-)で薄くドーピングされる。部分17Bは好ましくは基板14と関連するnウェルまたはn型領域(n-)の一部である。

#### 【0023】

半導体基板14は好ましくは単結晶シリコンウェハなどの単結晶シリコン材料である。トランジスタ16Aおよび16Bは、金属酸化物半導体電界効果トランジスタ(MOSFET)などの電界効果トランジスタであり得る。トランジスタ16Aおよび16Bは(たとえば50nmに近似する)100nm未満のゲート

長を好ましくは有し、1,000,000個以上のトランジスタを含む超大規模集積（ULSI）回路の一部である。トランジスタ16Aおよび16Bは絶縁構造52の間に設けられる。構造52間の横方向寸法（たとえば図1A-図13Bの左から右）は好ましくは1000nm未満（たとえば400-600nm）である。

#### 【0024】

トランジスタ16Aは、ゲートスタックまたは構造18A、ソース領域22Aおよびドレイン領域24Aを含む。トランジスタ16Bは、ゲートスタックまたは構造18B、ソース領域22Bおよびドレイン領域24Bを含む。領域22Aおよび24Aは、深い領域23Aおよび浅い領域25Aを含む。領域22Bおよび24Bは、深い領域23Bおよび浅い領域25Bを含む。浅い領域25Aおよび25Bは、それぞれトランジスタ18Aおよび18Bに対するソース／ドレイン延在部として働き、それらはトランジスタ16Aおよび16Bが短チャネル効果に対する実質的な耐性を達成するのを助ける。短チャネル効果は、トランジスタ16Aおよび16Bの性能だけでなく、トランジスタ16Aおよび16Bと関連するICの製造性を劣化させ得る。

#### 【0025】

領域25Aおよび25Bは、深い領域23Aおよび23Bよりも薄い極浅延在部（たとえば30nm未満の接合深さ）であり得る。しかしながら、領域25Aおよび25Bは30nmよりも深いものであり得る。領域25Aおよび25Bは好ましくは10-40nmの深さおよび90-130nmの幅である。

#### 【0026】

領域23Aおよび23Bは好ましくは100nm（80-250nm）の深さおよび80-140の幅である。領域22Aおよび24Aは $\text{cm}^{-3}$  当り  $10^{19-21}$  のn型ドーパント濃度を有し、領域22Bおよび24Bは $\text{cm}^{-3}$  当り  $10^{19-21}$  のp型ドーパント濃度を有する。n型ドーパントは、リン（P）、砒素（As）または他のドーパントであり得、p型ドーパントは、ボロン（B）、二フッ化ボロン（BF<sub>2</sub>）または他のドーパントであり得る。

#### 【0027】

ゲート構造18Aおよび18Bは好ましくは100-300nmの高さおよび80-120nmの幅であり、金属導体26、金属層またはプラグ28、高誘電係数(k)の誘電層30、金属層29およびゲート酸化物バッファ層32を含む。導体26は好ましくは窒化チタン(TiN)の20-40nm厚のコンフォーマル層である。プラグ28は好ましくはタングステン(W)の50-250nm厚の層である。層30は好ましくは五酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)または二酸化チタン(TiO<sub>2</sub>)の2-10nm厚のコンフォーマル層である。層29は好ましくはニッケル(Ni)などの金属の8-12nm厚の層である。層32は好ましくは熱的に成長した二酸化ケイ素または堆積された窒化ケイ素(Si<sub>3</sub>N<sub>4</sub>)の4-8nm厚の層である。これに代えて、層26、プラグ28および層29は他の導電または半導電材料と置換え可能である。

#### 【0028】

ゲートスタック構造18Aは絶縁構造34Aと絶縁構造36Aとの間に配置される。ゲート構造18Bは絶縁構造34Bと絶縁構造36Bとの間に配置される。コンタクト40Aがソース領域22Aの上に設けられ、コンタクト42Aがドレイン領域24Aの上に設けられる。コンタクト40Bはソース領域22Bの上に設けられ、コンタクト42Bはドレイン領域24Bの上に設けられる。好ましくは、コンタクト40A、42A、40Bおよび42Bはそれぞれ深い領域23Aおよび23Bの上に設けられる。

#### 【0029】

コンタクト40A、42A、40Bおよび42Bは各々シリサイド層41を含む。層41は好ましくはニッケルシリサイドの20-30nm厚の層である。これに代えて、他の金属、シリサイドまたは導電層を用いることができる。

#### 【0030】

絶縁構造34A、34B、36Aおよび36Bは、ゲート構造18Aおよび18Bのための絶縁スペーサとして働く。構造34A、34B、36Aおよび36Bは好ましくは80-120nmの幅および100-300nmの高さであり、コンタクト40Aおよび42Aとゲート構造18Aとの間の分離ならびにコンタクト40Bおよび42Bとゲート構造18Bとの間の分離を与える。構造34A

、34Bならびに36Aおよび36Bは化学気相成長（CVD）テトラオルトシリケート（TEOS）プロセスによってコンフォーマルに堆積され、エッチバックされてトランジスタ16Aおよび16Bのための特定の構造を残すことができる。これに代えて、構造34A、34B、36Aおよび36Bは窒化ケイ素（Si<sub>3</sub>N<sub>4</sub>）などの他の絶縁材料であり得る。構造34A、34B、36Aおよび36Bと類似の絶縁構造53を構造52の上に設けることができる。

#### 【0031】

この発明の別の例示的な実施例に従うと、絶縁構造34A、34B、36Aおよび36Bは低k（low-k）材料であり得る。低k材料は、コンタクト40A、40B、42Aおよび42Bならびに構造53と関連する容量効果を有利に減じる。低k材料（kは3未満、好ましくは2未満）は、気相成長およびスピノンコーティング技術から作ることができる。たとえば、ポリマーのパリレンおよびポリナフタレン族ならびにポリテトラフルオロエチレン（PTFE）の気相成長を用いて低k材料を形成することができる。これに代えて、フッ化SiO<sub>2</sub>ガラスのプラズマ励起化学気相成長（PECVD）および高密度プラズマCVDならびにアモルファスC:Fが低k誘電材料を形成することができる。空隙形成および五フッ化スチレンのプラズマ処理およびPTFEのパルスプラズマ処理も用いることができる。さらに、スピノンコーティングにより材料を堆積することができる。スピノンコーティング材料は、（フッ化されたまたはフッ化されていない）有機ポリマー、無機ポリマー（無孔性）、無機-有機ハイブリッドまたは多孔性材料（キセロゲルまたはエーロゲル）を含む。低k材料の合成は、ウェイ・ウィリアム・リーおよびポールS．ホー（Wei William Lee and Paul S. Ho）による、「ULSI層間誘電体用途のための低誘電係数材料」（“Low-Dielectric-Constant Materials for ULSI Interlayer Dielectric Applications”，MRS Bulletin (October, 1997), pages 19-23）と題された論文に記載されている。

#### 【0032】

図1A-図13Bを参照して、集積回路15の作製は以下のように後述される。図2Aおよび図2Bにおいて、部分17Aおよび17Bは、従来のシャロートレンチ分離（STI）技術によって形成される構造52を含む。これに代えて、

シリコンの選択酸化（LOCOS）技術を含む他の分離技術を用いて分離構造52を形成することができる。さらに、従来のプロセスに従ってウェル注入、パンチスルー注入およびしきい値調節注入を基板14に与える。基板14は、基板14上に熱的に成長するパッド層または酸化物層55も含む。層55は好ましくは2-5nmの厚みを有する。

#### 【0033】

図3Aおよび図3Bを参照して、酸化物層55の上に導電層38が堆積される。層38は好ましくは100-300nmの厚みであり、これをマスクとして用いて絶縁構造34A、34B、36Aおよび36Bと、コンタクト40A、40B、42Aおよび42Bと、ゲート構造18Aおよび18Bとを規定する。層38は、プラズマ励起化学気相成長（PECVD）によって堆積された、ドーパされたまたはドーパされていないポリシリコン層であり得る。これに代えて、他の堆積技術および導電材料を用いることができる。

#### 【0034】

図4Aおよび図4Bにおいて、導電層38をフォトリソグラフィプロセスで選択的にエッチングして構造62、64および66を形成する。構造62、64および66は好ましくは80-120nmの幅を有し、プラズマドライエッチを用いる深紫外リソグラフィプロセスで形成される。構造62、64および66は、オーバーエッチングまたはトリムエッチングによる1つの最小リソグラフィ特徴よりも小さな幅を有し得る。

#### 【0035】

構造62、64および66は孔または空間68および孔または空間70を規定する。構造64はゲート領域118と関連付けられる。空間68はソース延在部（ソース領域22Aの浅い領域25Aおよびソース領域22Bの浅い領域25B、図1Aおよび図1B）と関連付けられ、空間70はドレイン延在部（ドレイン領域24Aの浅い領域25Aおよびドレイン領域24Bの浅い領域25B、図1Aおよび図1B）と関連付けられる。構造62、64および66と関連付けられるポリシリコンパターンは、フォトレジストマスクを設けることと、基板14上の層38を選択的にエッチングして空間68および70を形成することとによっ

て形成される。

#### 【0036】

図5Aおよび図5Bを参照して、基板14は自己整列されたN-MOS注入を経て部分17Aの空間68および70下に浅い領域25Aを設ける。空間68および70ならびに構造62、64および66を含む部分17Bは、フォトリソグラフィまたはフォトレジストマスク80で完全に覆われる。マスク80は部分17Aを覆わない。マスク80は、N-MOS注入から（マスク80下の）基板14の部分17Bを保護する。部分17Bは典型的には部分17Aと同じ基板14上にあるため、部分17Bは、マスクされていないならば、同様のプロセスを受ける。

#### 【0037】

領域25Aは、低エネルギー（1-10KeV（キロ電子ボルト））を用いて平方センチ（ $\text{cm}^2$ ）当たり $5 \times 10^{14} - 2 \times 10^{15}$ のドーパント分量で10-40nmの深さまでリン（P）または砒素（As）（または他のn型ドーパント）を注入し、アニールすることによって形成することができる。アニールは、高速熱アニール（RTA）、レーザアニールまたはパルスアニールを含み得る。これに代えて、低エネルギーレベル（5KeV以下）で砒素を用いることができる。

#### 【0038】

N-MOS注入を90°の角度または他の角度で施して領域25Aを形成することができる。N-MOS注入と関連するドーパントは、基板14内の接合深さの30-60%の距離だけ横方向に拡散することができる。領域25Aは好ましくは立方センチ当たり $10^{19-21}$ のドーパント濃度を有する。

#### 【0039】

さらに、部分17Aに他の注入を施すことができる。たとえば、空間68および70を通して、ハローもしくはポケット注入または他のドーパントプロファイルエンジニアリング技術を施すことができる。好ましくは、ハローまたはポケット注入をN-MOS注入の前に施して2次元チャネルドーピングプロファイルを形成する。ハロー注入は、部分17Aの空間68および70を通して領域25Aの下の深さ（好ましくは領域23A下）までp型ドーパントを与える。ハロー注

入は空間68および70に限られるのが有利であり、したがって結果的に生じるポケット領域は領域25Aに好ましくない影響を与えず、接合容量を増加させない。ドーピングの後、エッチング、ストリッピングまたは他の除去プロセスで層80（図5B）を除去する。

#### 【0040】

図6Aおよび図6Bを参照して、自己整列されたP-MOS注入が基板14に施され、部分17Bの空間68および70の下に浅い領域25Bを設ける。空間68および70ならびに構造62、64および66を含む部分17Aはフォトリソグラフィまたはフォトレジストマスク82で完全に覆われる。マスク82は部分17Bは覆わない。マスク82はP-MOS注入から（マスク82の下の）基板14の部分17Aを保護する。

#### 【0041】

領域25Bは、低エネルギー（1-10KeV）を用いて平方センチ当たり $5 \times 10^{14}$  -  $2 \times 10^{16}$  のドーパント分量で10-40nmの深さまでボロン（B）（または他のp型ドーパント）を注入し、アニールすることによって形成することができる。アニールは、RTA、レーザアニールまたはパルスアニールを含み得る。これに代えて、より低いエネルギーレベル（5KeV以下）で二フッ化ボロン（BF<sub>2</sub>）をp型ドーパントとして用いることができる。領域25Bは好ましくは立方センチ当たり $10^{19-21}$  のドーパント濃度を有する

さらに、部分17Bに他の注入を施すことができる。たとえば、空間68および70を通して、ハローもしくはポケット注入または他のドーパントプロファイルエンジニアリング技術を施すことができる。好ましくは、P-MOS注入の前にハローまたはポケット注入を施して2次元ドーピングプロファイルを形成する。ハロー注入は、部分17Bの空間68および70を通して領域25Bの下（好ましくは領域23Bの下）までn型ドーパントを与える。ハロー注入は空間68および70に限られるのが有利であり、したがって結果的に生じるポケット領域は領域25Bに好ましくない影響を与えることはなく、接合容量を増加させない。

#### 【0042】



90°の角度または他の角度でP-MOS注入を施して領域を形成することができる。P-MOS注入と関連するドーパントは、基板14内で接合深さの30-60%の距離だけ横方向に拡散する。領域23Bは $\text{cm}^3$ 当り $10^{19-21}$ のp型ドーパント濃度を有する。これに代えて、図6A-図6Bを参照して説明されたP-MOS注入は、図5Aおよび図5Bを参照して説明されたN-MOS注入の前に行なうことができる。

#### 【0043】

図7Aおよび図7Bを参照して、層82（図6Aおよび6B）を除去し、絶縁層をコンフォーマル堆積プロセスで堆積して空間68および70を充填する。絶縁層は化学機械研磨（CMP）を受けて、空間68および70の中にそれぞれ絶縁構造34Aおよび34Bと絶縁構造36Aおよび36Bとを残し、構造52の上に構造53を残す。これに代えて、他の空間充填技術を用いて空間68および70（図6Aおよび図6B）に絶縁材料を与えることができる。

#### 【0044】

好ましくは、構造34A、34B、36A、36Bと関連する絶縁層は、CVDによりTEOSプロセスで堆積される。絶縁構造34A、34B、36A、36Bは二酸化ケイ素または窒化ケイ素であり得る。構造34A、34B、36A、36Bは、簡略化のために層55を含んで示される。この発明の別の代替的な実施例に従うと、低k誘電材料が用いられる。低k誘電材料は好ましくは水素シルセスキオキサン（HSQ）、スピノンガラス（SOG）またはベンゾシクロブテン（BCB）である。低k誘電材料は図1Aおよび図1Bを参照して論じられる。

#### 【0045】

図8Aおよび図8Bを参照して、導電構造62、64および66を部分17Aおよび17Bから除去し、孔または空間92、94および96を残す。層55は空間92、94および96の中に残る。層55は構造34A、34B、36Aおよび36Bの二酸化ケイ素材料と同化するため、層55は、構造34A、34B、36Aおよび36Bの下には示されない。空間92、94および96は好ましくは80-120nmの幅である。空間92、94および96は1つのリソグラ

フィ特徴よりも小さいものであり得る。導電構造62、64および66は、二酸化ケイ素に対してポリシリコンに選択的な等方性ドライエッチングまたは化学的ウェットエッチングプロセスで除去することができる。

#### 【0046】

図9Aおよび図9Bを参照して、部分17Bはフォトリソグラフィまたはフォトレジストマスク112で完全に覆われ、部分17Aの空間94はマスク112で覆われる。マスク112はフォトリソグラフィプロセスで選択的にエッチングされ、開口94にはマスク112を残すが、部分17Aの空間92および96には残さない。

#### 【0047】

マスク112を選択的にエッチングまたはパターニングした後、基板14はn+ソース/ドレイン接合注入を受けて、空間92および96の下に深い領域23Aを形成する。領域23Aは好ましくは $\text{cm}^3$ 当り $10^{19-21}$ のn型ドーパント濃度を有する。好ましくは、基板14に対して15-25KeVのエネルギーで、 $\text{cm}^2$ 当り $5 \times 10^{15}$ のドーパント分量の砒素ドーパントが加速される。領域23Aは100nmの深さまで基板14の中に延びる。マスク112は部分17Bを保護し、n-ソース/ドレイン接合注入の後に除去される。

#### 【0048】

図10Aおよび10Bを参照して、部分17Aは、フォトリソグラフィまたはフォトレジストマスク114で完全に覆われる。部分17Bの開口94もマスク114で覆われる。マスク114はフォトリソグラフィプロセスで選択的にエッチングされ、空間94にはマスク114を残すが、部分17Bの空間92および96には残さない。

#### 【0049】

マスク114を選択的にエッチングまたはパターニングした後、基板14はp+ソース/ドレイン接合注入を受けて、空間92および96の下に深い領域23Bを形成する。領域23Bは好ましくは $\text{cm}^3$ 当り $10^{19-21}$ のn型ドーパント濃度を有する。好ましくは、基板14に対して15-25KeVのエネルギーレベルで $\text{cm}^2$ 当り $1-5 \times 10^{15}$ のドーパント分量の二フッ化ボロンドーパントが加

速される。領域23Bは基板14の中に100nmの深さまで延びる。マスク114は部分17Aを保護し、p-ソース/ドレイン接合注入の後に除去される。これに代えて、図10Aおよび図10Bを参照して説明されたp+ソース/ドレイン接合注入は、図9Aおよび図9Bを参照して説明されたn+ソース/ドレイン接合注入の前に行なうことができる。

#### 【0050】

図11Aおよび図11Bを参照して、マスク114を除去した後、高速熱アニール(RTA)を施して部分17Aおよび17Bの領域23A、25A、23Bおよび25B中で注入を活性化させる。層55を除去し、ゲート酸化物形成プロセスを行なう。ゲート酸化物プロセスは、ゲート酸化物バッファ層32を形成するステップを含む。ゲート酸化物バッファ層32は、O<sub>2</sub>またはNO<sub>2</sub>プロセス中で4-8オングストロームの厚みまで熱的に成長され、好ましくは二酸化ケイ素である。

#### 【0051】

層32は材料30と基板14との間の界面を改良する。CVDにより部分17Aおよび17Bの上に高k誘電層30が堆積される。高k誘電層30は、アモルファスTa<sub>2</sub>O<sub>5</sub>材料の20-40nm厚の層であり得る。層30は好ましくは、RTAステップの後に金属有機CVDプロセスでコンフォーマルに堆積されてアモルファスTa<sub>2</sub>O<sub>5</sub>材料の結晶化を防止する。層30が堆積された後、金属導体26の30-40nm厚の層がCVDによりコンフォーマルに堆積される。金属導体26は好ましくはTiNである。これに代えて、導体26はポリシリコンまたは金属であり得る。

#### 【0052】

図12Aおよび図12Bを参照して、層30および32ならびに導体26は、空間68および70から選択的にエッチングされる。ゲート領域118上の層124を用いるフォトリソグラフィプロセスは、ゲート領域118上(たとえば図8A-図10Bの空間94)の層30および32ならびに導体26を守る。

#### 【0053】

図13Aおよび図13Bを参照して、マスク124を除去する。マスク124

を除去した後、ニッケルスパッタリングプロセスは空間68および70（図12）内ならびに導体26および絶縁体構造53上に8-12nm厚の層として層29（ニッケル層）を設ける。これに代えて、他の耐熱性材料を用いることができる。

#### 【0054】

ニッケルシリサイド化プロセスを用いて領域23Aおよび23B上にシリサイド化層を形成する。ニッケルシリサイド化プロセスは500-600℃の温度でのRTAを含む。層29の厚みの60%（5-8nm）が基板14を消費する。ニッケルシリサイド化プロセスと関連する低温は層30に影響しないのが有利である。シリサイド化プロセスは、接触抵抗を減じるモノニッケルシリサイドを形成する。

#### 【0055】

層29を設けた後、CVDにより層29の上にタングステン層97としてプラグ28が堆積される。これに代えて、タングステン以外の耐熱性金属を堆積することができる。層97は、コンタクト40A、40B、42Aおよび42Bならびにプラグ28に対して用いられる。層97の堆積の後、基板14は、構造34A、36A、34Bおよび36Bの上面に達するまで、CMPを受ける。

#### 【0056】

この発明の有利な方法は、自己整列された浅いソースおよびドレイン延在部を設ける。自己整列されたコンタクト40Bおよび42Bだけでなく、自己整列ゲート構造18Aおよび18Bならびに自己整列ソース／ドレイン延在部（領域25Aおよび25B）が形成される。コンタクト40A、42A、40Bおよび42Bの自己整列性は、構造18Aおよび18Bとコンタクト40Bおよび42Bとの間の求められるリソグラフィ間隔を減じる。

#### 【0057】

好ましい実施例、例、材料および値が与えられたが、それらは例示の目的のためのみのものであることを理解されたい。この発明の装置および方法は開示されたとおりの詳細および条件に限られるものではない。たとえば、高k誘電材料に言及しているが、他の材料を用いることが可能である。したがって、添付の請求

項に規定される、この発明の精神から逸脱することなく、開示された詳細に対して変更がなされ得る。

【図面の簡単な説明】

【図1A】 この発明の例示的な実施例に従う浅いソース／ドレイン延在部を備えるNチャネルトランジスタを含む集積回路の部分の断面図である。

【図1B】 この発明の別の例示的な実施例に従う浅いソース／ドレイン延在部を備えるPチャネルトランジスタを含む集積回路の部分の断面図である。

【図2A】 浅いトレンチ分離ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図2B】 浅いトレンチ分離ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図3A】 ポリシリコン堆積ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図3B】 ポリシリコン堆積ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図4A】 ポリシリコンパターニングステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図4B】 ポリシリコンパターニングステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図5A】 Nチャネルトランジスタのための浅い接合注入ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図5B】 Nチャネルトランジスタのための浅い接合注入ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図6A】 Pチャネルトランジスタのための浅い接合注入ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図6B】 Pチャネルトランジスタのための浅い接合注入ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図7A】 二酸化ケイ素堆積および化学機械研磨のステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図7B】 二酸化ケイ素堆積および化学機械研磨のステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図8A】 ポリシリコン除去ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図8B】 ポリシリコン除去ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図9A】 Nチャネルトランジスタのための深いソース／ドレイン注入ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図9B】 Nチャネルトランジスタのための深いソース／ドレイン注入ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図10A】 Pチャネルトランジスタのための深いソース／ドレイン接合注入ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図10B】 Pチャネルトランジスタのための深いソース／ドレイン接合注入ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図11A】 ゲート誘電体およびゲート金属堆積ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図11B】 ゲート誘電体およびゲート金属堆積ステップを示す、図1Bに図示された集積回路の部分の断面図である。

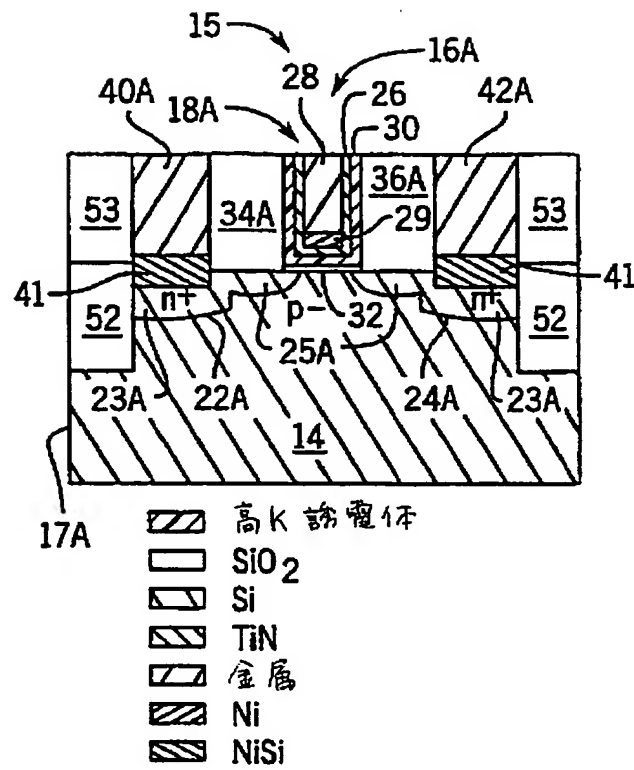
【図12A】 ゲート金属除去ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図12B】 ゲート金属除去ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図13A】 ニッケル堆積ステップを示す、図1Aに図示された集積回路の部分の断面図である。

【図13B】 ニッケル堆積ステップを示す、図1Bに図示された集積回路の部分の断面図である。

【図1A】



15

40B 18B 28 26 16B 42B 30

53 34B 36B 29 53

41 52  $p^+$   $n$  32  $p^+$  52 41

23B 22B 25B 14 24B 23B

17B

高K誘電体

$SiO_2$

Si

TiN

金属

Ni

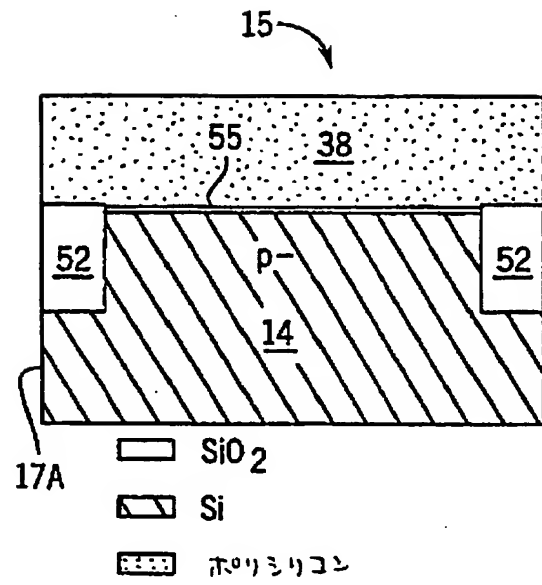
NiSi

FIG. 2A

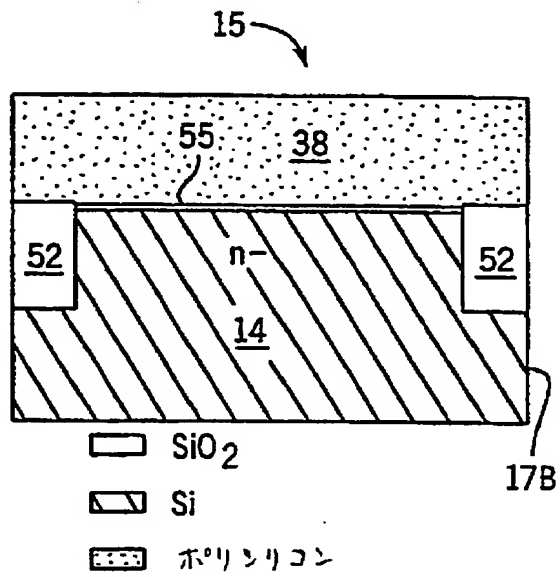
FIG. 2B



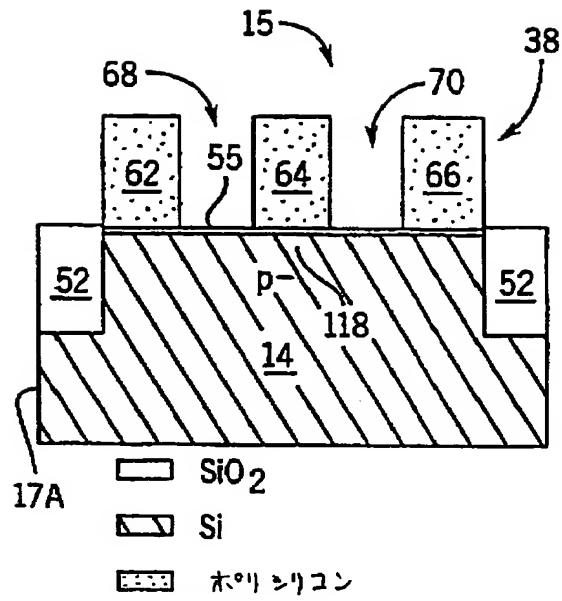
【図3A】



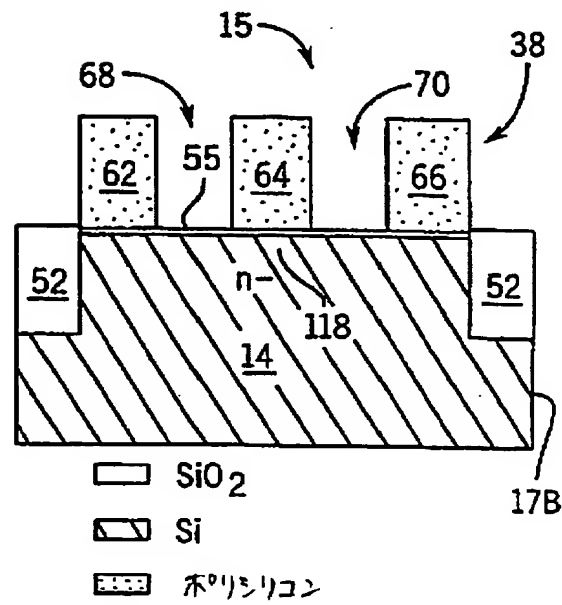
【図3B】



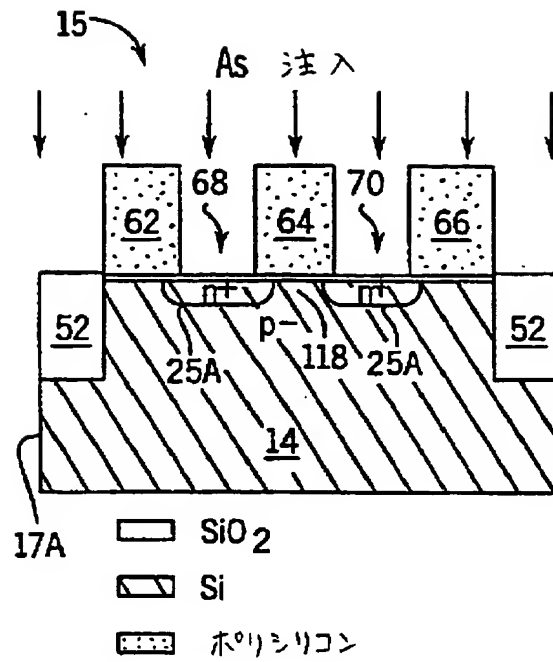
【図4A】



【図4B】



【図5A】



15

80

62 68 64 70 66

52 n- 14 52

17B

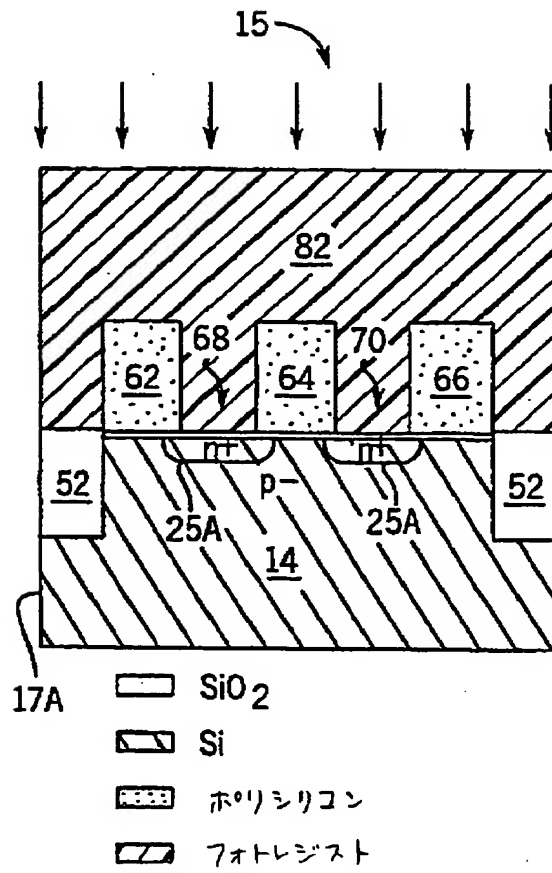
SiO<sub>2</sub>

Si

ホリシリコン

フォトリジスト

【図 6 A】



15

ボロン注入

62 68 64 70 66

52 25B 118 25B 14 17B

SiO<sub>2</sub>

Si

ポリシリコン

15

53 62 34A 64 36A 66 53

55

52

$n^+$   $p^-$   $n^+$

25A 25A

14

17A

SiO<sub>2</sub>

Si

ポリシリコン

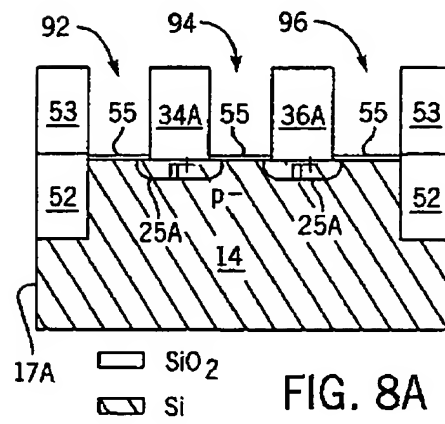
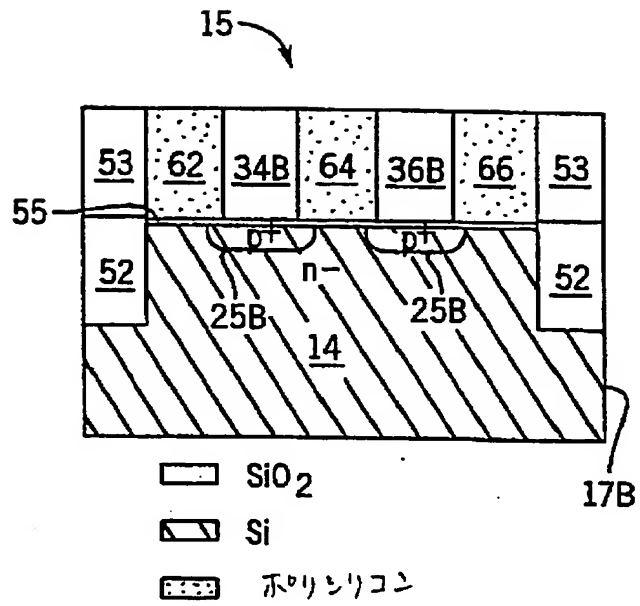
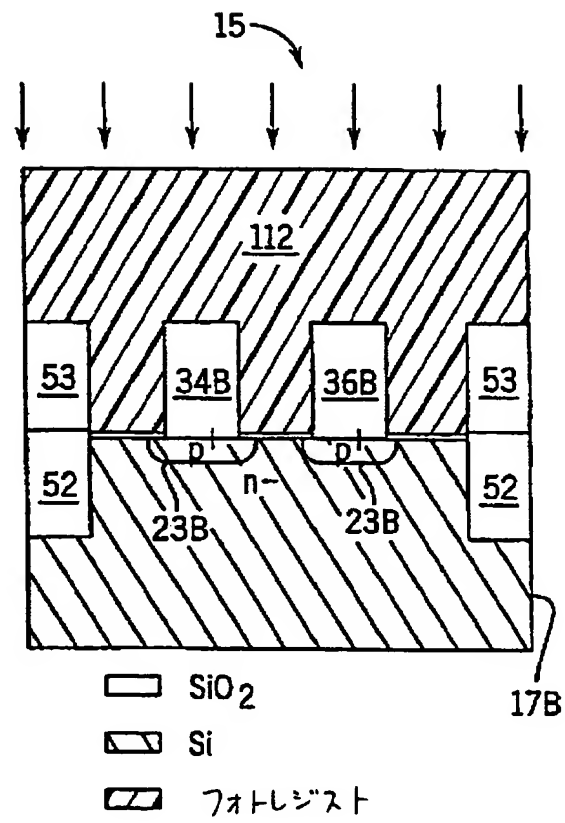


FIG. 8B

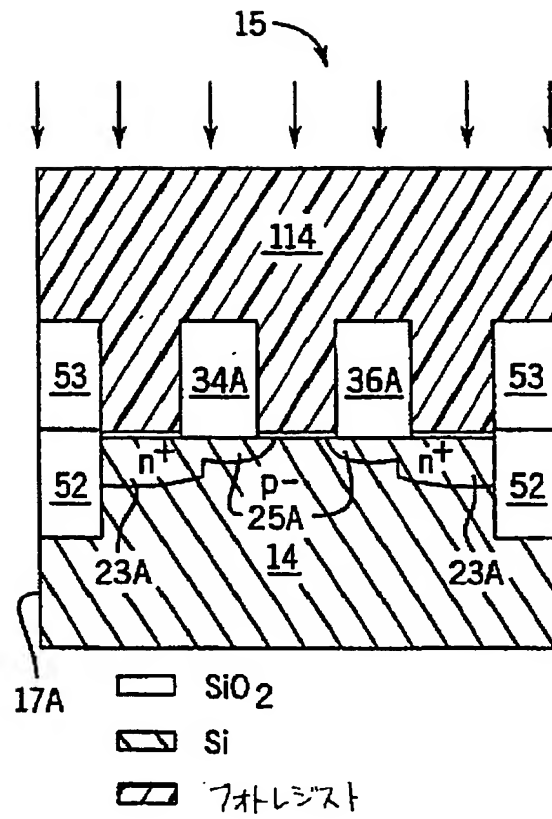
[illegible]



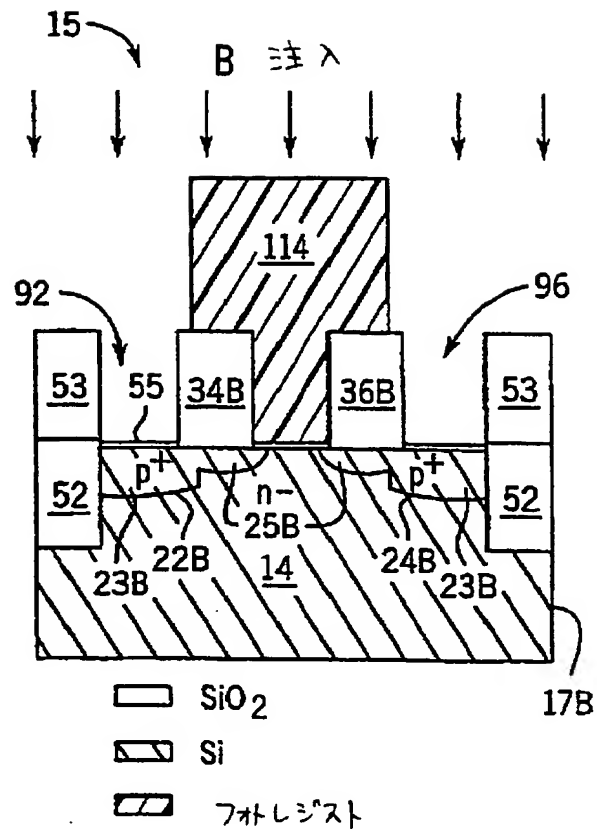
【図9B】



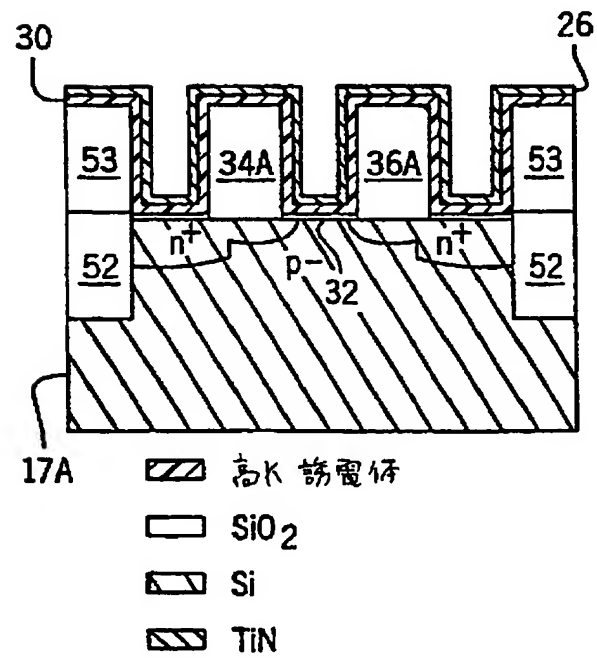
【図10A】



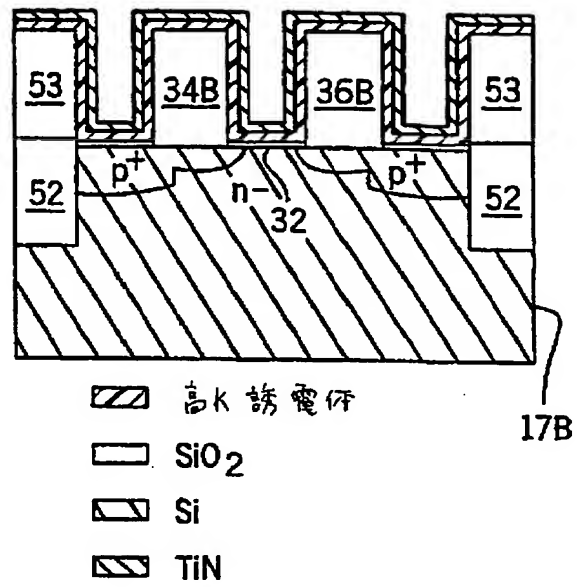
【図10B】



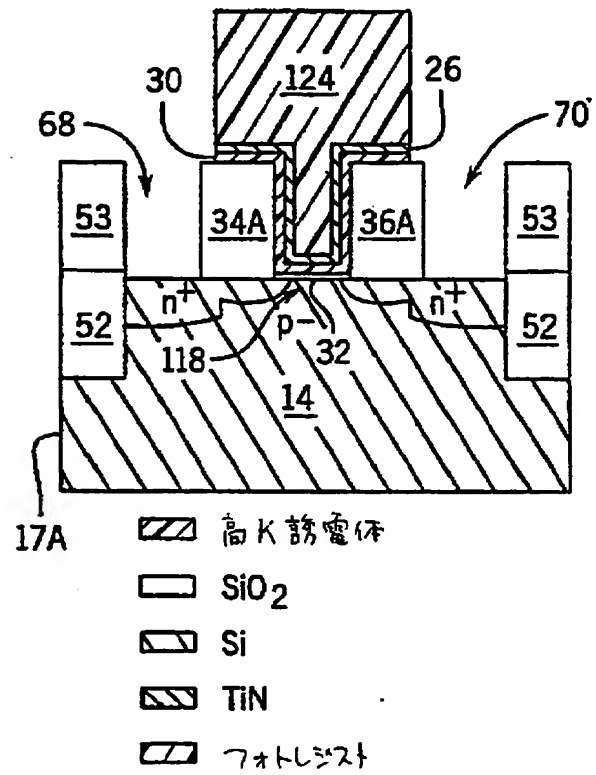
【図11A】



【図11B】



【図12A】



17A







	高k誘電体
	SiO <sub>2</sub>
	Si
	TiN
	金属
	Ni

Figure 17B is a cross-sectional view of a semiconductor device. It shows a high-k gate dielectric (28) on a Si substrate (14). The device includes a gate stack (26) with a TiN layer (29) and a metal layer (36B). The gate stack is surrounded by a SiO<sub>2</sub> layer (53) and a p<sup>+</sup> region (52). The gate stack is also surrounded by a p<sup>+</sup> region (52) and a n<sup>-</sup> region (52). The gate stack is also surrounded by a p<sup>+</sup> region (52) and a n<sup>-</sup> region (52).

	高k誘電体
	SiO <sub>2</sub>
	Si
	TiN
	金属
	Ni

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年4月6日(2001. 4. 6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 集積回路を作製するためのプロセスであって、

(a) 基板(14)上にマスキングパターン(62, 64, 66)を形成するステップを含み、マスキングパターン(62, 64, 66)は、ゲート領域と第1のコンタクト領域との間の第1の開口(68)およびゲート領域と第2のコンタクト領域との間の第2の開口(70)を有し、さらに

(b) 第1の開口の下に浅いソース領域(25A; 25B)および第2の開口の下に浅いドレイン領域(25A; 25B)を形成するステップと、

(c) 第1の開口(68)および第2の開口(70)に絶縁材料(34, 36)を堆積するステップと、

(d) マスキングパターン(62, 64, 66)を除去するステップと、

(e) ゲート領域の上にフォトリソ(112, 114)を設けるステップと、

(f) 深いソース領域(23A; 23B)および深いドレイン領域(23A; 23B)を形成するステップと、

(g) フォトリソ(112; 114)を除去するステップと、

(h) ゲート領域の上にゲート誘電体(30, 32)およびゲート導体(26, 29)を堆積するステップとを含む、プロセス。

【請求項2】 ゲート誘電体(30, 32)は高kゲート誘電体(32)を含み、高速熱アニールのステップはゲート誘電体堆積ステップの前に行なわれて深いソースおよび深いドレイン領域(23A; 23B)のドーパントを活性化する、請求項1に記載のプロセス。

【請求項3】 ステップ(h)は、

第1(68)および第2(70)の開口の領域の上にゲート誘電体(30, 32)およびゲート導体(26, 29)を堆積するステップと、

第1の開口(68)および第2の開口(70)の領域からゲート誘電体(30, 32)およびゲート導体(26, 29)を除去するステップとを含む、請求項1または2に記載のプロセス。

【請求項4】 第1の開口(68)および第2の開口(70)の上にゲート導体(26, 29)の少なくとも一部としてニッケル材料(29)を堆積するステップをさらに含む、請求項3に記載のプロセス。

【請求項5】 ゲート誘電体(30, 32)は高kゲート誘電層(32)を含む、請求項1から4のいずれかに記載のプロセス。

【請求項6】 ニッケル材料(29)は、第1の開口(68)および第2の開口(70)の中の絶縁材料(34, 36)に到達するまで化学機械プロセスによって除去される、請求項5に記載のプロセス。

【請求項7】 ゲート誘電体(30, 32)は $Ta_2O_5$ を含む、請求項1から6のいずれかに記載のプロセス。

【請求項8】 第1の絶縁構造(34)の下に浅いソース領域(25A; 25B)および第2の絶縁構造(36)の下に浅いドレイン領域(25A; 25B)を含む基板(14)上に集積回路を作製する方法であって、基板(14)の第1の導電構造(62)は第1の絶縁構造(34)によって第2の導電構造(64)から分離され、基板の第3の導電構造(66)は第2の絶縁構造(36)によって第2の導電構造(64)から分離され、第2の導電構造(64)はゲート場所にあり、この方法は請求項1に記載のプロセスを用い、

マスキングパターン(62, 64, 66)は、第1、第2および第3の導電構造を含み、

ステップ(d)は、第1の導電構造(62)および第3の導電構造(66)を除去して第1および第2のコンタクト領域を露出するステップを含み、

ステップ(f)は、基板(14)をドーピングして、第1および第2のコンタクト領域内に深いソース領域(23A; 23B)および深いドレイン領域(23A;



23B)を形成するステップを含み、

ステップ(d)は、第2の導電構造(64)を除去してゲート領域を露出するステップをさらに含み、

ステップ(h)は、ゲート場所に対応するゲート領域の上にゲート導体(18A; 18B)を設けるステップを含む、方法。

【請求項9】 ゲート導体(18A; 18B)は第1および第2のコンタクト領域の上にも設けられる、請求項8に記載の方法。

【請求項10】 第1および第2のコンタクト領域の上からゲート導体(18A; 18B)を選択的に除去するステップをさらに含む、請求項9に記載の方法。

【請求項11】 金属材料(29)を堆積して第1のコンタクト領域の上の第1の窪みおよび第2のコンタクト領域の上の第2の窪みを充填するステップをさらに含む、請求項8から10のいずれかに記載の方法。

【請求項12】 金属材料(29)はゲート導体(26, 29)の上にも与えられる、請求項11に記載の方法。

【請求項13】  $Ta_2O_5$ のゲート誘電体(30, 32)はゲート導体(26, 29)の前に堆積される、請求項8から12のいずれかに記載の方法。

【請求項14】 第1(62)および第3(66)の導電構造はポリシリコンを含み、絶縁構造(34, 36)は二酸化ケイ素を含む、請求項8から13のいずれかに記載の方法。

【請求項15】 ドープのステップの後および設けるステップの前に基板(14)を熱的にアニールするステップをさらに含む、請求項8から14のいずれかに記載の方法。

【請求項16】 ゲート誘電体(30, 32)はゲート導体(26, 29)の前に堆積される、請求項1から15のいずれかに記載のプロセス。

【請求項17】 ゲート導体(26, 29)は金属である、請求項1から16のいずれかに記載のプロセス。

【請求項18】 浅いソース領域(25A; 25B)は70ナノメートル未満の深さである、請求項1から17のいずれかに記載のプロセス。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

## 【0005】

ドレインおよびソース延在部を形成した後、ソースおよびドレイン延在部に、ゲート構造の横方向の側に当接する二酸化ケイ素スペーサが設けられる。基板に2度目のドーピングがされて、より深いソースおよびドレイン領域を形成する。二酸化ケイ素スペーサのブロッキング能力により、ソースおよびドレイン延在部がさらにドーピングされることはない。

US-A-5 858 848は、浅いソースおよびドレイン延在部を備えるトランジスタを形成する従来のプロセスを開示している。プロセスは、半導体基板の上に犠牲誘電体を形成するステップ、開口をエッチングするステップならびに開口の中にゲート誘電体およびポリシリコン電極をそれぞれ堆積するステップを含む。次にゲート誘電体およびゲート電極の部分をエッチングして開口を形成し、薄い濃度のドーパントのその後の堆積を許して浅いソースおよびドレイン延在部を形成する。その後、開口を窒化物で充填してゲートの側壁に窒化物スペーサを形成する。次に犠牲誘電体の残余を除去し、ポリシリコンゲート電極も導通させる注入ステップを用いてメインのソースおよびドレイン領域を形成し、これらは窒化物スペーサと自己整列される。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 00/05157

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)  
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 374 575 A (KIM KYUNG S ET AL) 20 December 1994 (1994-12-20) column 4, line 50 -column 5, line 49	1,8,16
A	US 5 834 355 A (DOYLE BRIAN S) 10 November 1998 (1998-11-10) column 8, line 59 -column 10, line 20; figures 2A-2S	1,8,16
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 08, 30 June 1999 (1999-06-30) -& JP 11 068090 A (NEC CORP), 9 March 1999 (1999-03-09) abstract -& US 6 077 747 A (NEC CORPORATION) 20 June 2000 (2000-06-20) -/-	1,8,16

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* documents which may throw doubts on priority claim(s) or which are cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*Z\* document member of the same patent family

Date of the actual completion of the international search

22 December 2000

Date of mailing of the international search report

03/01/2001

Name and mailing address of the ISA

European Patent Office, P.O. Box 5516 Patentweg 2  
NL - 2200 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax. (+31-70) 340-3016

Authorized officer

Nesso, S

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 00/05157

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 597 752 A (NIWA KENJI) 28 January 1997 (1997-01-28) column 5, line 47 -column 7, line 12; figures 4A-40	1,8,16
A	US 5 858 848 A (GILMER MARK C ET AL) 12 January 1999 (1999-01-12) column 6, line 39 -column 9, line 24	1,8,16

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 00/05157

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5374575 A	20-12-1994	DE 4341509 A JP 2528074 B JP 7202187 A	08-06-1995 28-08-1996 04-08-1995
US 5834355 A	10-11-1998	NONE	
JP 11068090 A	09-03-1999	CN 1209648 A US 6077747 A	03-03-1999 20-06-2000
US 5597752 A	28-01-1997	JP 2586342 B JP 8070119 A	26-02-1997 12-03-1996
US 5858848 A	12-01-1999	US 6111292 A	29-08-2000

## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターマコード (参考)
H 0 1 L 29/43		H 0 1 L 29/62 29/46	G R
(72) 発明者 シアン, チ アメリカ合衆国、95051 カリフォルニア 州、サンタ・クララ、ホームステッド・ロ ード、3335、ナンバー・32			
(72) 発明者 ブイノスキ, マシュー・エス アメリカ合衆国、94306-2311 カリフォ ルニア州、パロ・アルト、エマーソン・ス トリート、2607			
(72) 発明者 リン, ミン・レン アメリカ合衆国、95014 カリフォルニア 州、キューパーティーン、サンタ・テレ サ・ドライブ、10970			
F ターム (参考) 4M104 AA01 BB01 BB18 BB19 BB21 BB24 BB30 BB39 CC01 CC05 DD02 DD03 DD37 DD43 DD63 DD75 DD80 DD81 DD84 DD91 EE03 EE09 EE16 EE17 EE18 FF18 GG09 GG10 GG14 HH14 5F048 AA01 AC03 BB01 BB04 BB09 BB11 BB13 BC01 BC05 BC06 BE03 BF06 BF15 BF16 BG14 DA18 5F140 AA13 AA18 AA39 AB03 BA01 BC06 BD01 BD05 BD07 BD10 BD11 BD12 BE10 BF10 BF15 BF21 BF27 BG04 BG30 BG36 BG40 BH15 BH33 BH36 BH49 BJ08 BJ11 BJ17 BJ27 BJ28 BK02 BK05 BK10 BK13 BK14 BK21 BK34 CB01 CB04 CB08 CC03 CC08 CC10 CC12 CC16 CE06 CE07 CE08 CF04 CF05			